



Attorney Docket No.: 03663/LH

IN THE UNITED STATES PATENT
AND TRADEMARK OFFICE

Applicant : Tomio MATSUZAKI et al
Serial Number : 10/700,136
Filed : 3 Nov 2003
Art Unit : 2811

CERTIFICATE OF MAILING

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as First Class mail in an envelope addressed to:
Commissioner for Patents,
P.O. Box 1450,
Alexandria, VA 22313-1450 on the date noted below.

Patricia O. Bryson
Patricia O. Bryson
Dated: February 26, 2004

SUBMISSION OF PRIORITY DOCUMENT(S)

Commissioner of Patents
Washington, D.C. 20231

Sir:

Enclosed are Certified Copy(ies); priority is claimed under 35 USC 119:

<u>Country</u>	<u>Application No.</u>	<u>Filing Date</u>
JAPAN	2002-324973	November 8 2002
JAPAN	2003-147447	May 26 2003
JAPAN	2003-324204	September 17 2003

Respectfully submitted,

[Handwritten signature]
Leonard Holtz
Reg. No. 22,974

Frishauf, Holtz, Goodman
& Chick, P.C.
767 Third Avenue - 25th Fl.
New York, N.Y. 10017-2023
TEL: (212) 319-4900
FAX: (212) 319-5101
LH/pob

S/n 10/700,136

Aut unit 2811

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年11月 8日

出願番号 Application Number: 特願 2002-324973

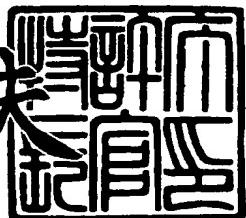
[ST. 10/C]: [JP 2002-324973]

出願人 Applicant(s): カシオ計算機株式会社

2003年 9月 25日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



【書類名】 特許願
【整理番号】 02-0806-00
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/60
【発明者】

【住所又は居所】 東京都青梅市今井3丁目10番地6
カシオ計算機株式会社青梅事業所内

【氏名】 松崎 富夫

【発明者】
【住所又は居所】 東京都青梅市今井3丁目10番地6

カシオ計算機株式会社青梅事業所内

【氏名】 新井 一能

【特許出願人】
【識別番号】 000001443
【氏名又は名称】 カシオ計算機株式会社

【代理人】
【識別番号】 100073221
【弁理士】
【氏名又は名称】 花輪 義男

【手数料の表示】
【予納台帳番号】 057277
【納付金額】 21,000円

【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【包括委任状番号】 0015435
【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】 上面に接続パッドが設けられた半導体基板上に絶縁膜を介して再配線が前記接続パッドに接続されて設けられた半導体装置において、前記再配線は前記絶縁膜の上面に設けられた凹部内に設けられていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の発明において、前記再配線の接続パッド部上に柱状電極が設けられ、前記再配線を含む前記絶縁膜の上面の前記柱状電極間に封止膜が設けられていることを特徴とする半導体装置。

【請求項 3】 請求項 1 に記載の発明において、前記再配線は前記接続パッド上に設けられた接続パッド部からなり、該接続パッド部上に柱状電極が設けられ、前記絶縁膜の上面の前記柱状電極間に封止膜が設けられていることを特徴とする半導体装置。

【請求項 4】 請求項 1 に記載の発明において、前記再配線は前記凹部の底面のみに設けられていることを特徴とする半導体装置。

【請求項 5】 請求項 1 に記載の発明において、前記絶縁膜は有機樹脂からなることを特徴とする半導体装置。

【請求項 6】 請求項 1 に記載の発明において、前記凹部の深さは前記再配線の厚さとほぼ同じかそれよりも深く形成されていることを特徴とする半導体装置。

【請求項 7】 請求項 6 に記載の発明において、前記絶縁膜の厚さは 10 ~ 30 μm 程度であることを特徴とする半導体装置。

【請求項 8】 請求項 7 に記載の発明において、前記凹部の深さは 5 ~ 15 μm 程度であることを特徴とする半導体装置。

【請求項 9】 請求項 7 に記載の発明において、前記凹部の部分における前記絶縁膜の厚さは 1 μm 以上であることを特徴とする半導体装置。

【請求項 10】 上面に接続パッドが設けられた半導体基板上に、前記接続パッドに対応する部分に開口部を有し、且つ、上面の再配線形成領域に凹部を有

する絶縁膜を形成する工程と、

前記絶縁膜の凹部内に再配線を前記開口部を介して前記接続パッドに接続させて形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 11】 請求項 10 に記載の発明において、前記再配線を前記凹部の底面のみに形成することを特徴とする半導体装置。

【請求項 12】 請求項 10 に記載の発明において、前記凹部の深さを形成すべき再配線の厚さとほぼ同じかそれより深く形成することを特徴とする半導体装置。

【請求項 13】 請求項 10 に記載の発明において、前記再配線の接続パッド部上に柱状電極を形成する工程と、前記再配線を含む前記絶縁膜の上面の前記柱状電極間に封止膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 14】 請求項 13 に記載の発明において、前記柱状電極の上面に半田ボールを形成する工程を有することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、再配線を有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】

従来の半導体装置には、CSP(chip size package)と呼ばれるもので、上面に接続パッドを有する半導体基板上に絶縁膜を介して銅からなる再配線を前記接続パッドに接続させて設け、前記再配線の接続パッド部上に銅からなる柱状電極を設け、前記再配線を含む前記絶縁膜上に封止膜をその上面が前記柱状電極の上面と面一となるように設けたものがある（例えば、特許文献1参照）。

【0003】

【特許文献 1】

特開 2000-22052 号公報（図8）

【0004】

【発明が解決しようとする課題】

ところで、上記従来の半導体装置では、絶縁膜のほぼ平坦な上面に再配線を設けているので、使用環境中の水分が封止膜に浸透すると、プラス電圧が印加されている再配線あるいは柱状電極から溶け出した銅イオンが絶縁膜と封止膜との界面を移動してマイナス電圧が印加されている再配線あるいは柱状電極に析出し、いわゆるイオンマイグレーションによるショートが発生することがあるという問題があった。

そこで、この発明は、いわゆるイオンマイグレーションによるショートが発生しにくいようにすることができる半導体装置およびその製造方法を提供することを目的とする。

【0005】**【課題を解決するための手段】**

請求項1に記載の発明は、上面に接続パッドが設けられた半導体基板上に絶縁膜を介して再配線が前記接続パッドに接続されて設けられた半導体装置において、前記再配線は前記絶縁膜の上面に設けられた凹部内に設けられていることを特徴とするものである。

請求項2に記載の発明は、請求項1に記載の発明において、前記再配線の接続パッド部上に柱状電極が設けられ、前記再配線を含む前記絶縁膜の上面の前記柱状電極間に封止膜が設けられていることを特徴とするものである。

請求項3に記載の発明は、請求項1に記載の発明において、前記再配線は前記接続パッド上に設けられた接続パッド部からなり、該接続パッド部上に柱状電極が設けられ、前記絶縁膜の上面の前記柱状電極間に封止膜が設けられていることを特徴とするものである。

請求項4に記載の発明は、請求項1に記載の発明において、前記再配線は前記凹部の底面のみに設けられていることを特徴とするものである。

請求項5に記載の発明は、請求項1に記載の発明において、前記絶縁膜は有機樹脂からなることを特徴とするものである。

請求項6に記載の発明は、請求項1に記載の発明において、前記凹部の深さは前記再配線の厚さとほぼ同じかそれよりも深く形成されていることを特徴とする

ものである。

請求項 7 に記載の発明は、請求項 6 に記載の発明において、前記絶縁膜の厚さは 10 ~ 30 μm 程度であることを特徴とするものである。

請求項 8 に記載の発明は、請求項 7 に記載の発明において、前記凹部の深さは 5 ~ 15 μm 程度であることを特徴とするものである。

請求項 9 に記載の発明は、請求項 7 に記載の発明において、前記凹部の部分における前記絶縁膜の厚さは 1 μm 以上であることを特徴とするものである。

請求項 10 に記載の発明は、上面に接続パッドが設けられた半導体基板上に、前記接続パッドに対応する部分に開口部を有し、且つ、上面の再配線形成領域に凹部を有する絶縁膜を形成する工程と、前記絶縁膜の凹部内に再配線を前記開口部を介して前記接続パッドに接続させて形成する工程とを有することを特徴とするものである。

請求項 11 に記載の発明は、請求項 10 に記載の発明において、前記再配線を前記凹部の底面のみに形成することを特徴とするものである。

請求項 12 に記載の発明は、請求項 10 に記載の発明において、前記凹部の深さを形成すべき再配線の厚さとほぼ同じかそれより深く形成することを特徴とするものである。

請求項 13 に記載の発明は、請求項 10 に記載の発明において、前記再配線の接続パッド部上に柱状電極を形成する工程と、前記再配線を含む前記絶縁膜の上面の前記柱状電極間に封止膜を形成する工程とを有することを特徴とするものである。

請求項 14 に記載の発明は、請求項 13 に記載の発明において、前記柱状電極の上面に半田ボールを形成する工程を有することを特徴とするものである。

そして、この発明によれば、絶縁膜の上面に設けられた凹部内に再配線を設けているので、再配線間に絶縁膜が存在することとなり、これによりいわゆるイオンマイグレーションによるショートが発生しにくくすることができる。

【0006】

【発明の実施の形態】

図 1 はこの発明の第 1 実施形態としての半導体装置の断面図を示したものであ

る。この半導体装置はシリコン基板（半導体基板）1を備えている。シリコン基板1の上面中央部には集積回路（図示せず）が設けられ、上面周辺部にはアルミニウム系金属からなる複数の接続パッド2が集積回路に接続されて設けられている。接続パッド2の中央部を除くシリコン基板1の上面には酸化シリコンからなる絶縁膜3が設けられ、接続パッド2の中央部は絶縁膜3に設けられた開口部4を介して露出されている。

【0007】

絶縁膜3の上面にはポリイミド等の有機樹脂からなる保護膜（絶縁膜）5が設けられている。保護膜5の絶縁膜3の開口部4に対応する部分には開口部6が設けられている。保護膜5の上面の再配線形成領域には凹部7が設けられている。凹部7は開口部6に連通されている。

【0008】

両開口部4、6を介して露出された接続パッド2の上面から保護膜5の凹部7内の上面の所定の箇所にかけて下地金属層8aおよび該下地金属層8a上に設けられた上層金属層8bからなる再配線8が設けられている。この場合、下地金属層8aは、詳細には図示していないが、下から順に、チタン層と銅層との2層構造となっている。上層金属層8bは銅層のみからなっている。また、凹部7の深さは再配線8の厚さよりも深くなっている。さらに、再配線8と凹部7の内壁面との間には若干の隙間9が設けられている。

【0009】

再配線8の接続パッド部上面には銅からなる柱状電極10が設けられている。再配線8を含む保護膜5の上面にはエポキシ系樹脂等の有機樹脂からなる封止膜11がその上面が柱状電極10の上面と面一となるように設けられている。したがって、柱状電極10の上面は露出されている。柱状電極10の上面には半田ボール12が設けられている。

【0010】

次に、この半導体装置の製造方法の一例について説明する。まず、図2に示すように、ウエハ状態のシリコン基板1の上面にアルミニウム系金属からなる接続パッド2が形成され、その上面の接続パッド2の中央部を除く部分に酸化シリコ

ンからなる絶縁膜3が形成され、接続パッド2の中央部が絶縁膜3に形成された開口部4を介して露出されたものを用意する。

【0011】

次に、開口部4を介して露出された接続パッド2の上面を含む絶縁膜3の上面全体に有機樹脂からなる保護膜5を塗布法により形成する。次に、保護膜5の上面において凹部7（つまり再配線8）形成領域以外の領域にレジスト膜21を形成する。次に、レジスト膜21をマスクとして保護膜5をハーフエッチングすると、図3に示すように、レジスト膜21下以外の領域における保護膜21の上面に凹部7が形成される。次に、レジスト膜21を剥離する。

【0012】

次に、図4に示すように、保護膜5の上面にレジスト膜22をパターン形成する。この場合、絶縁膜3の開口部4に対応する部分におけるレジスト膜22には開口部23が形成されている。次に、レジスト膜22をマスクとして保護膜5をエッチングすると、図5に示すように、レジスト膜22の開口部23に対応する部分つまり絶縁膜3の開口部4に対応する部分における保護膜5に開口部6が形成される。次に、レジスト膜22を剥離する。

【0013】

次に、図6に示すように、両開口部4、6を介して露出された接続パッド2の上面を含む保護膜5の上面全体に下地金属層8aを形成する。この場合、下地金属層8aは、詳細には図示していないが、スパッタにより形成されたチタン層上にスパッタにより銅層を形成したものである。なお、下地金属層8aは、無電解メッキにより形成された銅層のみであってもよい。

【0014】

次に、下地金属層8aの上面にメッキレジスト膜24をパターン形成する。この場合、再配線8形成領域に対応する部分におけるメッキレジスト膜24には開口部25が形成されている。また、保護膜5の凹部7の内壁面に形成された下地金属層8aはメッキレジスト膜24によって覆われている。次に、下地金属層8aをメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜24の開口部25内の下地金属層8aの上面に上層金属層8bを形成する。次に、

メッキレジスト膜24を剥離する。

【0015】

次に、図7に示すように、上層金属層8bを含む下地金属層8aの上面にメッキレジスト膜27をパターン形成する。この場合、上層金属層8bの接続パッド部に対応する部分におけるメッキレジスト膜27には開口部28が形成されている。また、上層金属層8bの周囲において保護膜5の凹部7の内壁面に形成された下地金属層8aはメッキレジスト膜27によって覆われている。次に、下地金属層8aをメッキ電流路として銅の電解メッキを行うことにより、メッキレジスト膜27の開口部28内の上層金属層8bの接続パッド部上面に柱状電極10を形成する。

【0016】

次に、メッキレジスト膜27を剥離し、次いで、柱状電極10および上層金属層8bをマスクとして下地金属層8aの不要な部分をエッチングして除去すると、図8に示すように、上層金属層8b下にのみ下地金属層8aが残存され、この残存された下地金属層8aおよびその上面全体に形成された上層金属層8bにより再配線8が形成される。また、再配線8と凹部7の内壁面との間には若干の隙間9が形成される。

【0017】

この隙間9は、メッキレジスト膜27を印刷する際の位置ずれ量であり、通常、数 μ mあるいはそれ以下となる。また、上記において、下地金属層8aは、後述する如く、上層金属層8bに比し遙かに薄いので、表面全体にエッティング液を短時間噴射すれば、下地金属層8aの柱状電極10および上層金属層8bから露出した部分のみが除去されるのである。

【0018】

次に、図9に示すように、柱状電極10および再配線8を含む保護膜5の上面に有機樹脂からなる封止膜11をその厚さが柱状電極10の高さよりもやや厚くなるように形成する。この状態では、隙間7を含む凹部7内にも封止膜11が形成されている。また、柱状電極10の上面は封止膜11によって覆われている。

【0019】

次に、封止膜11および柱状電極10の上面側を適宜に研磨することにより、図10に示すように、柱状電極10の上面を露出させる。次に、図11に示すように、柱状電極10の上面に半田ボール12を形成する。次に、ダイシング工程を経ると、図1に示す半導体装置が複数個得られる。

【0020】

このようにして得られた半導体装置では、保護膜5の上面に設けられた凹部7内に再配線8を設け、凹部7の深さを再配線8の厚さよりも深くしているので、柱状電極10の下部を含む再配線8間に再配線8の上面よりも高い保護膜5が存在することとなり、これによりいわゆるイオンマイグレーションによるショートが発生しにくくすることができる。

【0021】

ここで、寸法の一例について説明する。下地金属層8aの厚さは400～800nm程度である。上層金属層8bの厚さは1～10μm程度である。保護膜5の厚さは10～30μm程度であり、凹部7の深さは5～15μm程度（ただし、再配線8の厚さよりも深い。）であり、凹部7の部分における保護膜5の厚さは1μm程度以上である。柱状電極10の高さは80～150μm程度である。

【0022】

再配線8の幅等は、それぞれの半導体装置の端子数や引き回し等により所望の値に設定されるものであるが、一例をあげれば、再配線8の幅は20～40μm程度、開口部4、6の直径は再配線8の幅よりも大きく30～60程度である。また、再配線8の接続パッド部およびその上に設けられた柱状電極10の直径は、参考として200～400μm程度を、一例とする。また、再配線8間の間隔および再配線8とその近傍の別の再配線8の接続パッド部との間の間隔は10μm程度またはそれ以下にすることが可能である。

【0023】

次に、保護膜42の他の形成方法について説明する。図12に示すように、絶縁膜3の上面に有機樹脂からなる第1の保護膜5Aを塗布し、フォトリソグラフィ法により開口部6aを形成する。次に、第1の保護膜5Aの上面に、スクリーン印刷法により、開口部（つまり凹部）7aを有する有機樹脂からなる第2の保

護膜5Bを形成する。なお、開口部6aを有する第1の保護膜5Aをスクリーン印刷法により形成するようにしてもよい。

【0024】

なお、上記実施形態では、図1に示すように、凹部7の深さを再配線8の厚さよりも深くした場合について説明したが、これに限ることなく、例えば図13に示すこの発明の第2実施形態のように、凹部7の深さを再配線8の厚さとほぼ同じとなるようにしてもよい。

【0025】

また、上記実施形態では、図1に示すように、柱状電極10の配置位置を接続パッド2の配置位置と異ならせた場合について説明したが、これに限ることなく、例えば図14に示すこの発明の第3実施形態のように、接続パッド2上にそれよりも平面サイズが大きい接続パッド部のみからなる再配線8を設け、その上に、横断面サイズが接続パッド2の平面サイズよりも大きい柱状電極10を設けるようにしてもよい。

【0026】

この場合、図1における再配線8は、図15においては柱状電極10のバリア層および接着層の機能を有する台座として形成されており、隣接の柱状電極10およびその台座とは、凹部7において隙間分離しているので、イオンマイグレーションを防止することができる。

【0027】

図14に示す実施形態の場合、上層金属層8bと柱状電極10が同じ材料であれば、図15に示すこの発明の第4実施形態のように、柱状電極10の台座を下地金属層8aのみとし、この下地金属層8a上に直接柱状電極10を形成するようにしてもよい。

【0028】

なお、図14および図15に示す実施形態と、図1の実施形態とを組み合わせ、一部の接続パッド2上には図1の如く再配線8を延出してこの延出部上に柱状電極10を形成し、残りの接続パッド2上には、図14および図15に示すように当該接続パッド2上のみに再配線（台座）を形成し、この再配線上に柱状電極

10を形成するようにしてもよい。

【0029】

【発明の効果】

以上説明したように、この発明によれば、絶縁膜の上面に設けられた凹部内に再配線を設けているので、再配線間に絶縁膜が存在することとなり、これによりいわゆるイオンマイグレーションによるショートが発生しにくいようにすることができる。

【図面の簡単な説明】

【図1】

この発明の第1実施形態としての半導体装置の断面図。

【図2】

図1に示す半導体装置の製造に際し、当初の製造工程の断面図。

【図3】

図2に続く製造工程の断面図。

【図4】

図3に続く製造工程の断面図。

【図5】

図4に続く製造工程の断面図。

【図6】

図5に続く製造工程の断面図。

【図7】

図6に続く製造工程の断面図。

【図8】

図7に続く製造工程の断面図。

【図9】

図8に続く製造工程の断面図。

【図10】

図9に続く製造工程の断面図。

【図11】

図10に続く製造工程の断面図。

【図12】

保護膜の他の形成方法を説明するために示す断面図。

【図13】

この発明の第2実施形態としての半導体装置の断面図。

【図14】

この発明の第3実施形態としての半導体装置の断面図。

【図15】

この発明の第4実施形態としての半導体装置の断面図。

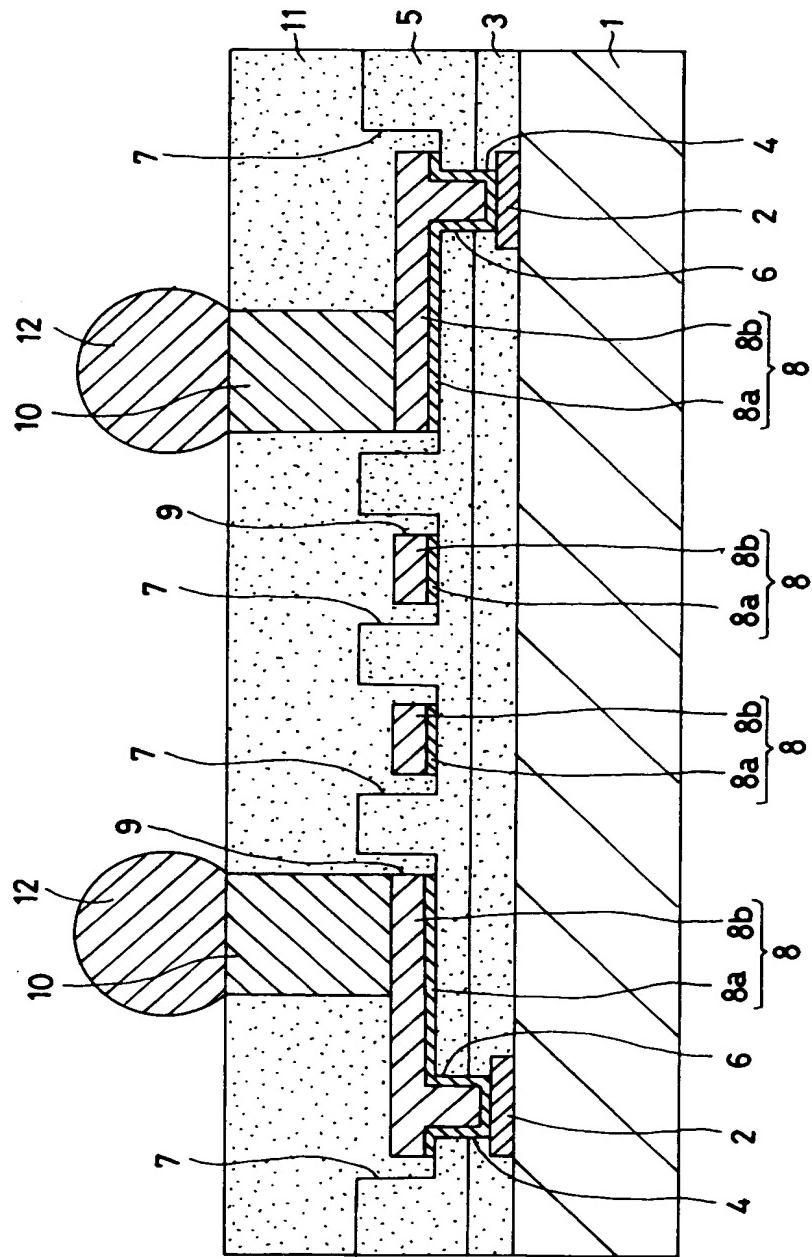
【符号の説明】

- 1 シリコン基板
- 2 接続パッド
- 3 絶縁膜
- 4 開口部
- 5 保護膜
- 6 開口部
- 7 凹部
- 8 再配線
- 8 a 下地金属層
- 8 b 上層金属層
- 9 隙間
- 10 柱状電極
- 11 封止膜
- 12 半田ボール

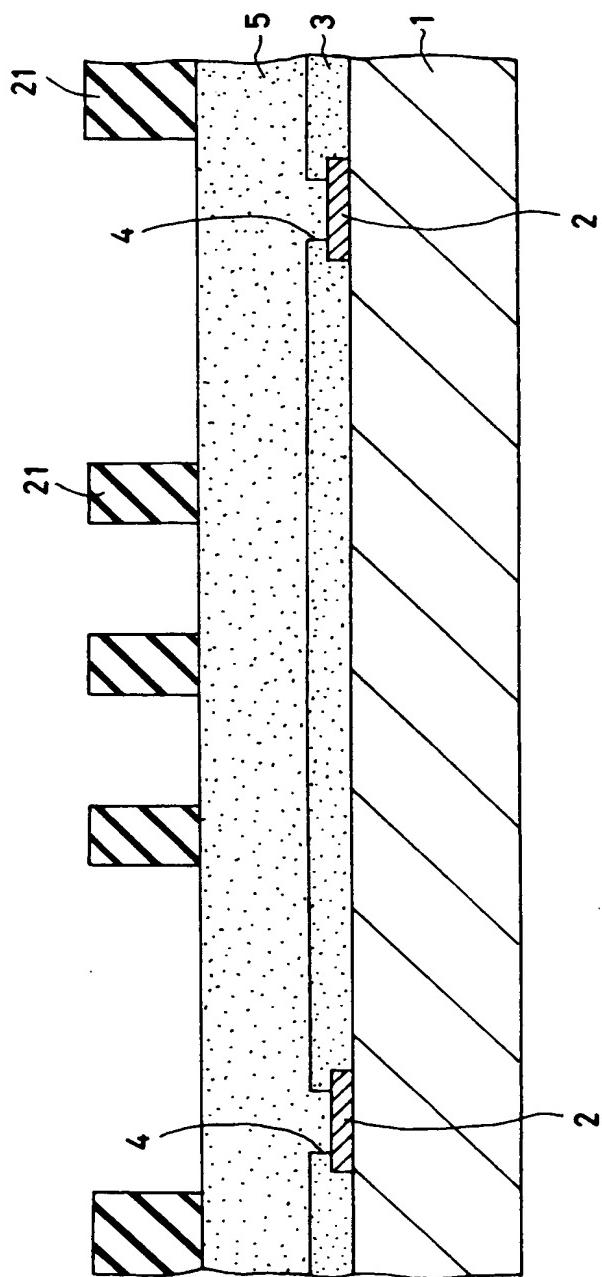
【書類名】

図面

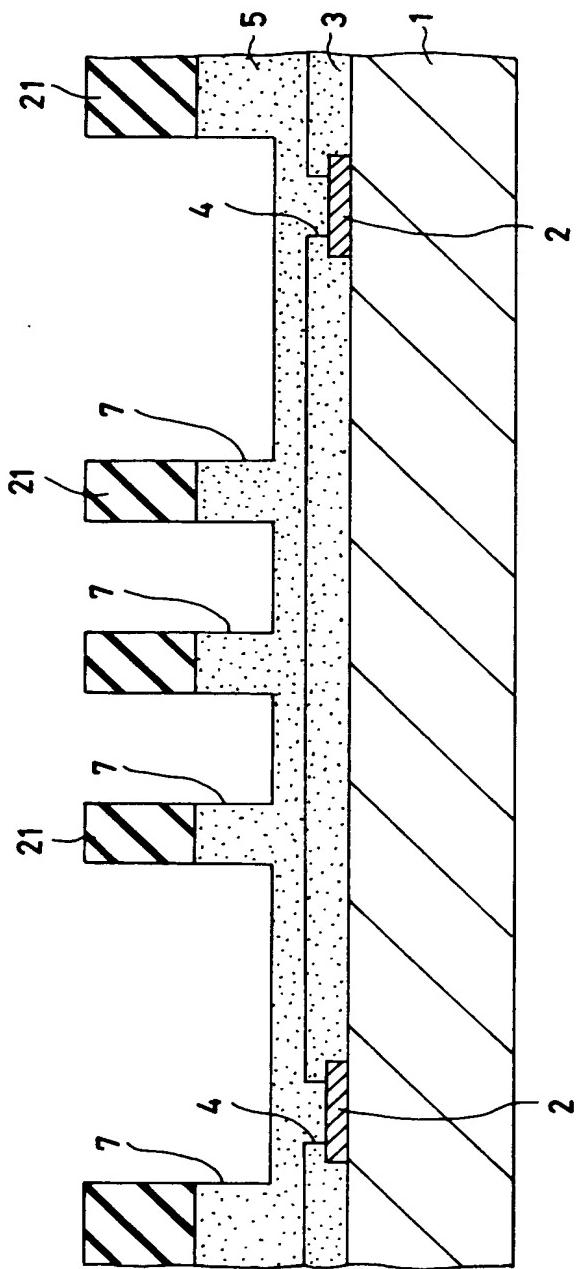
【図 1】



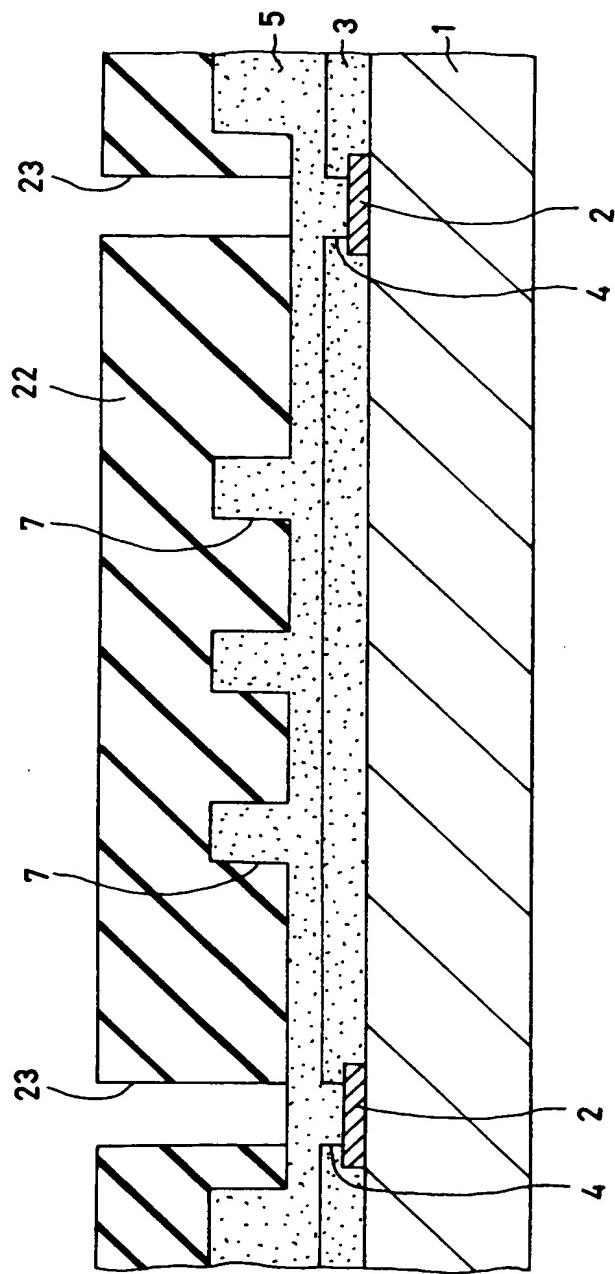
【図2】



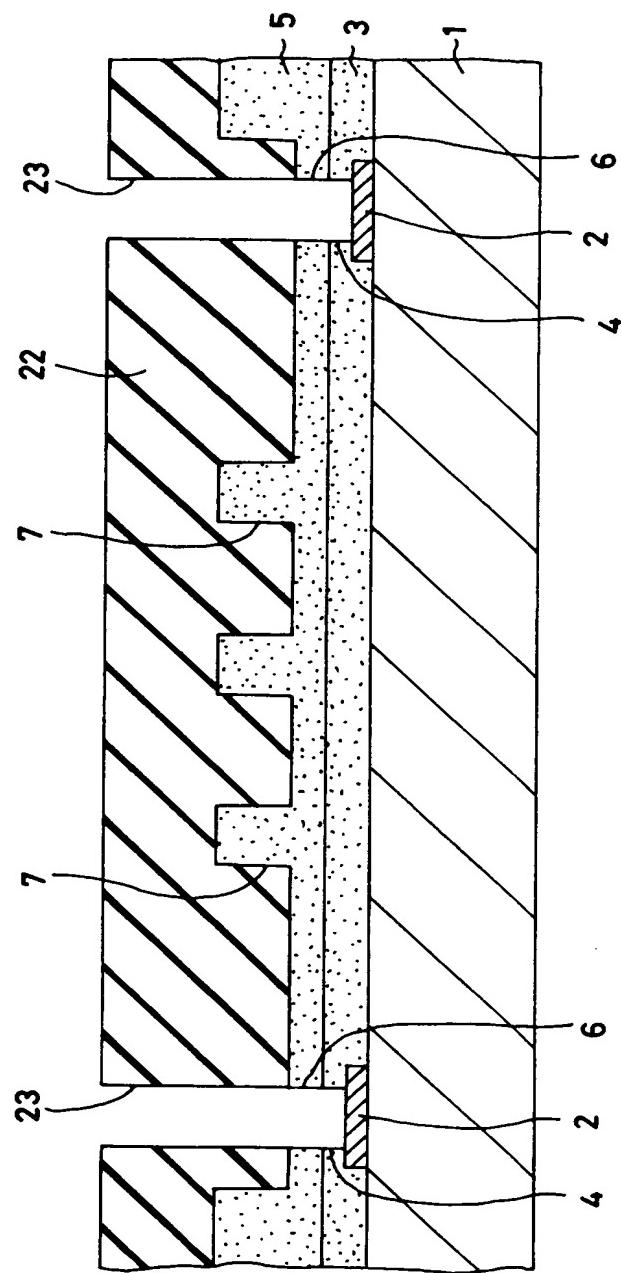
【図3】



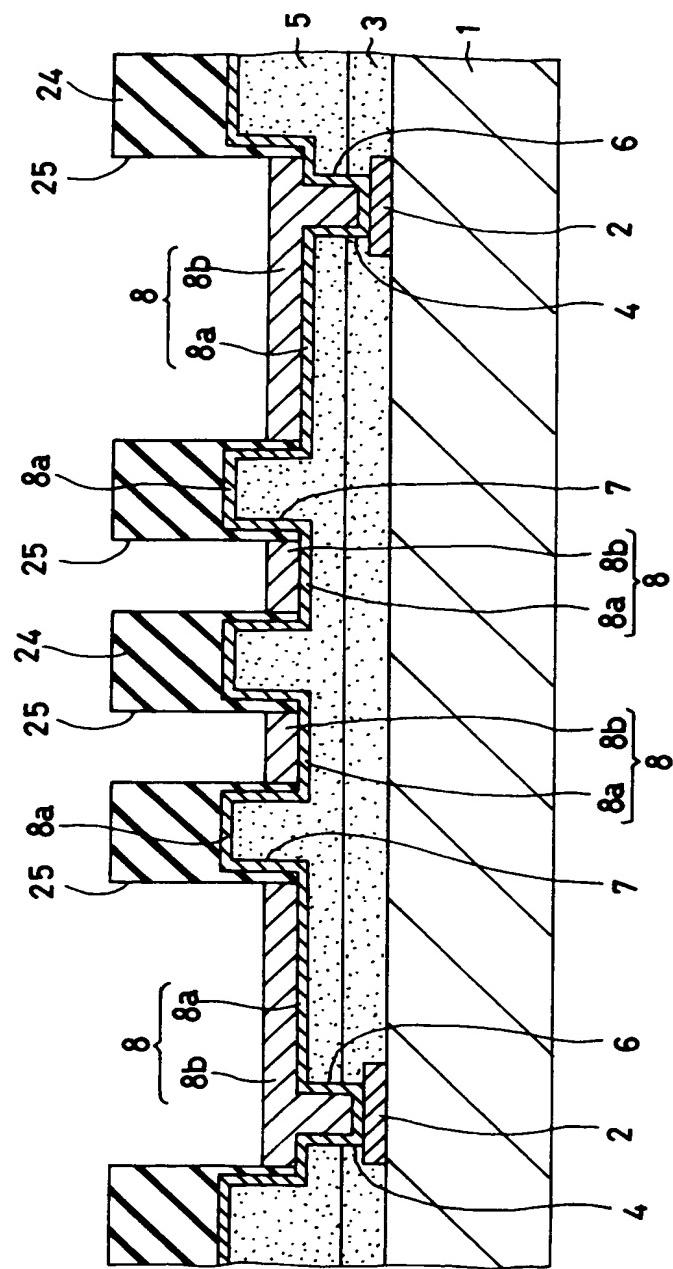
【図4】



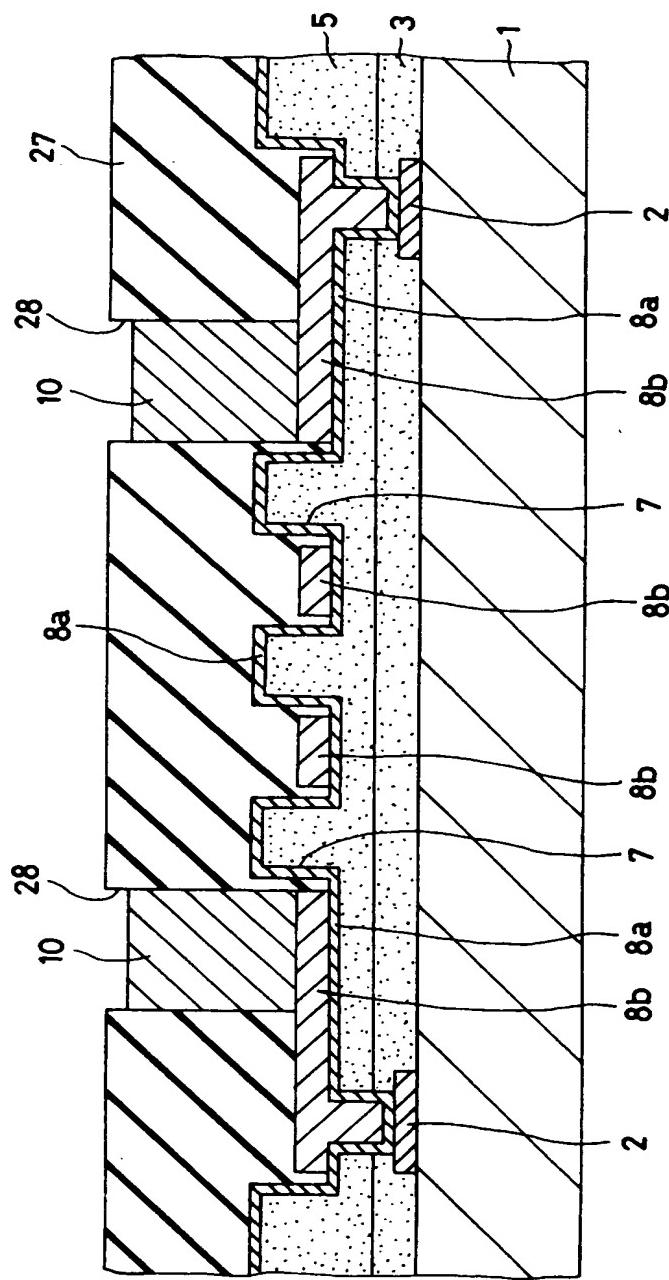
【図5】



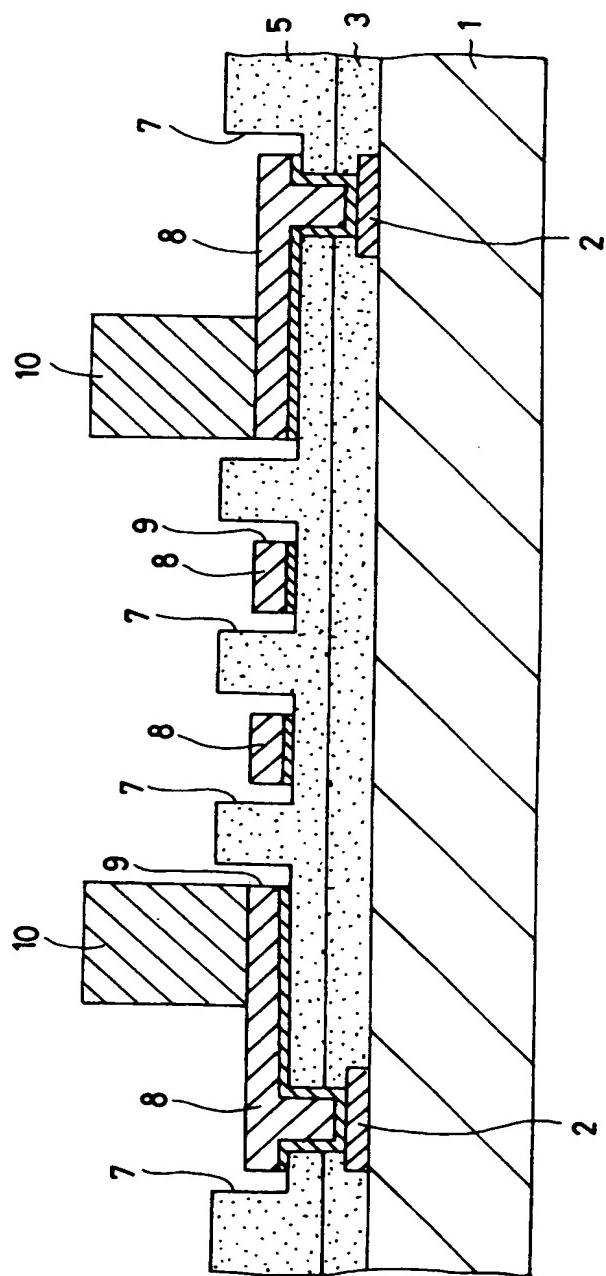
【図 6】



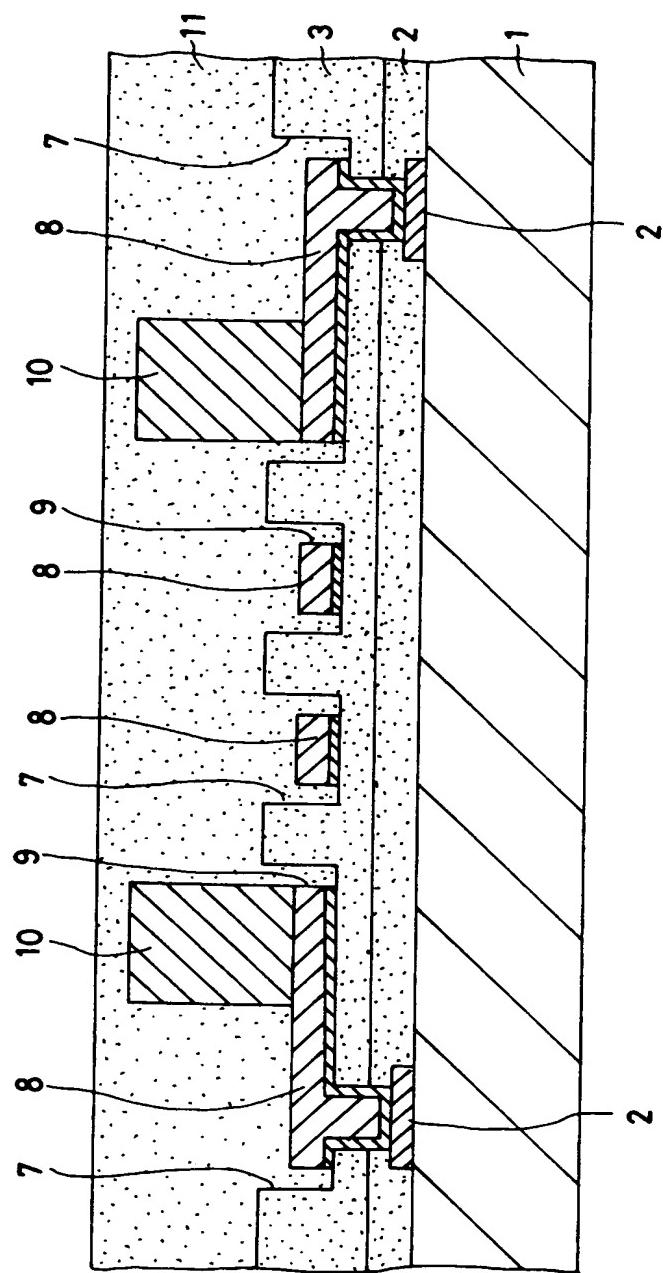
【図 7】



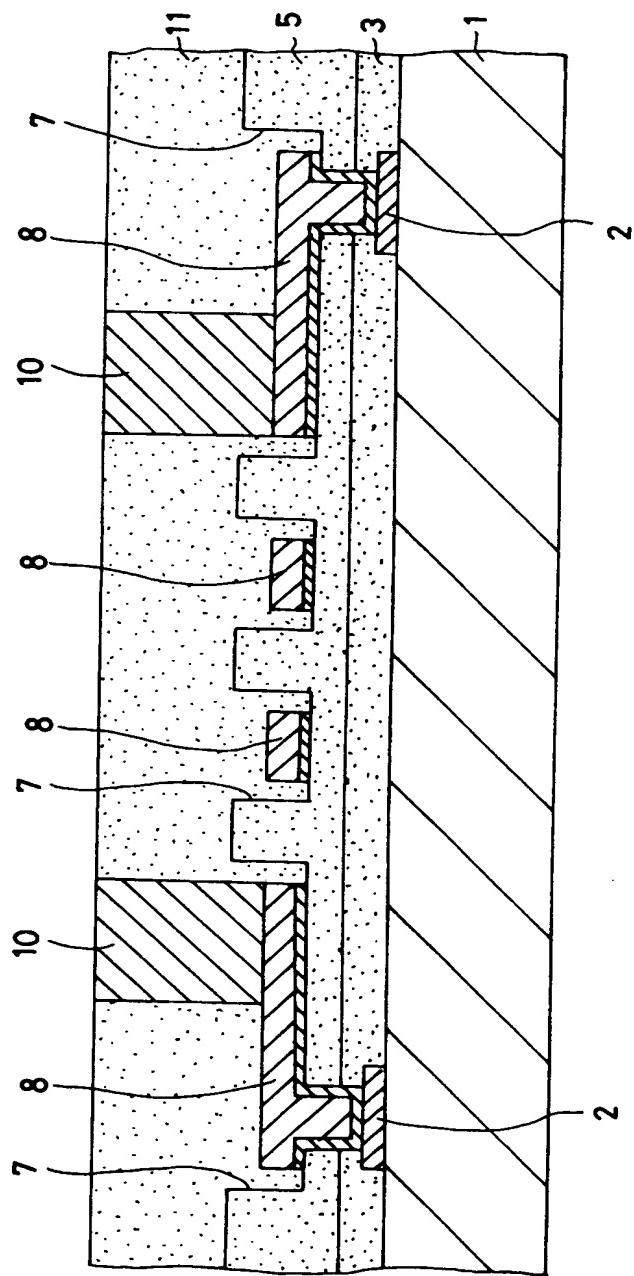
【図 8】



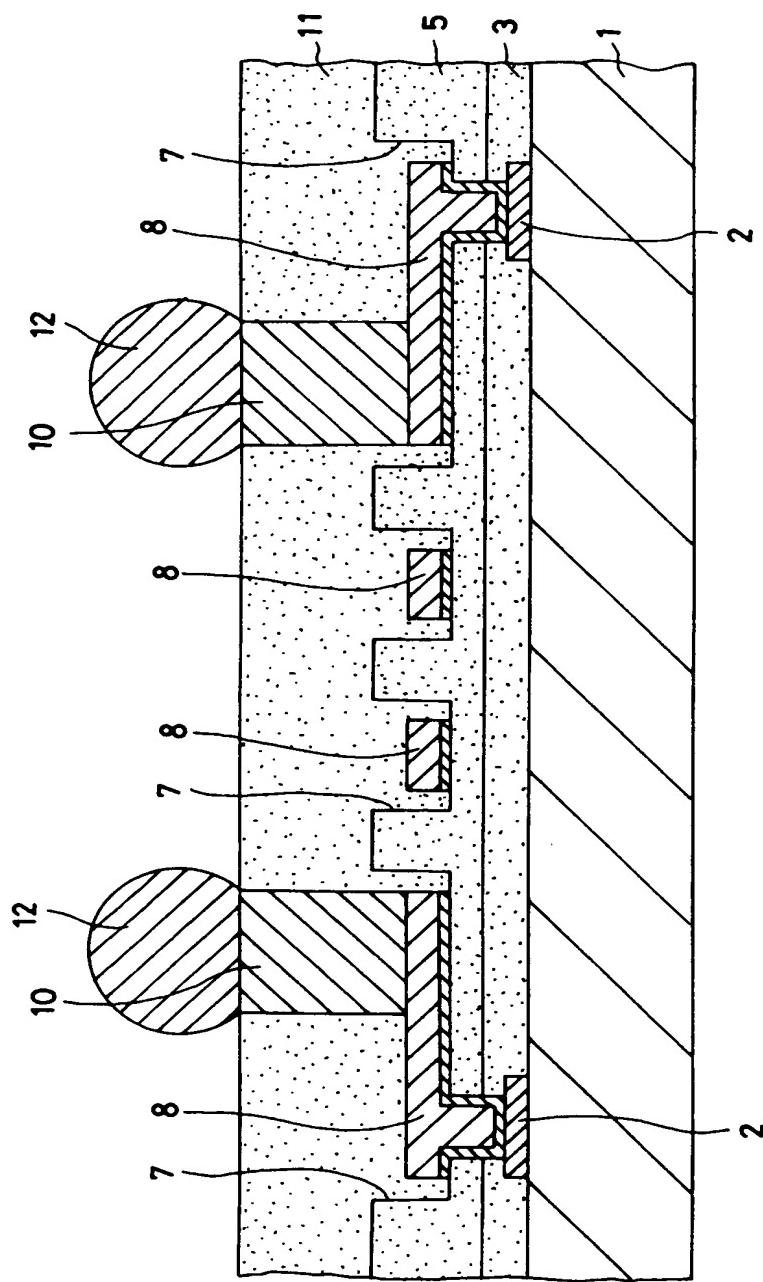
【図9】



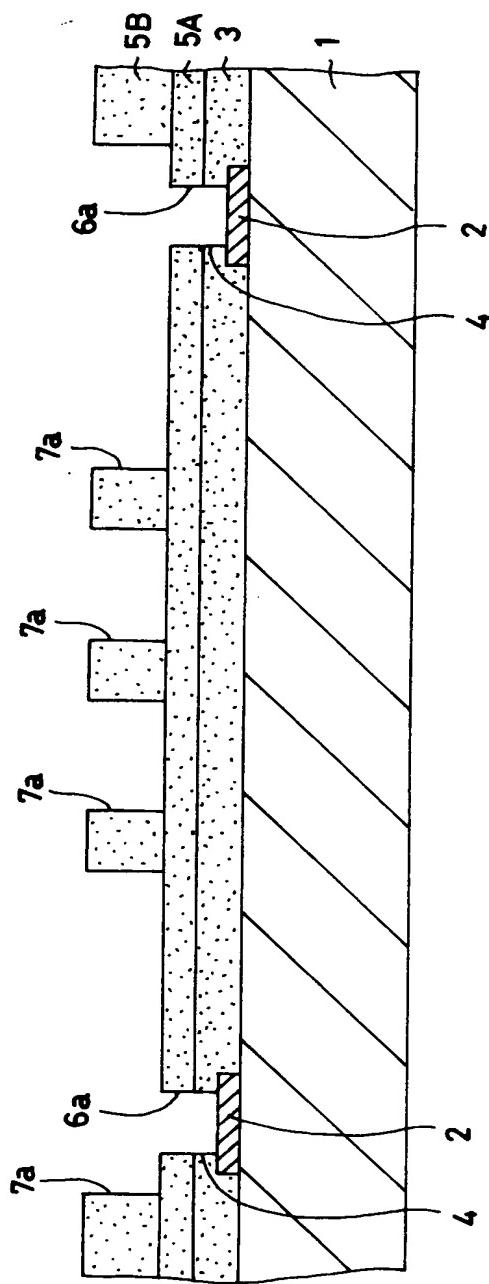
【図10】



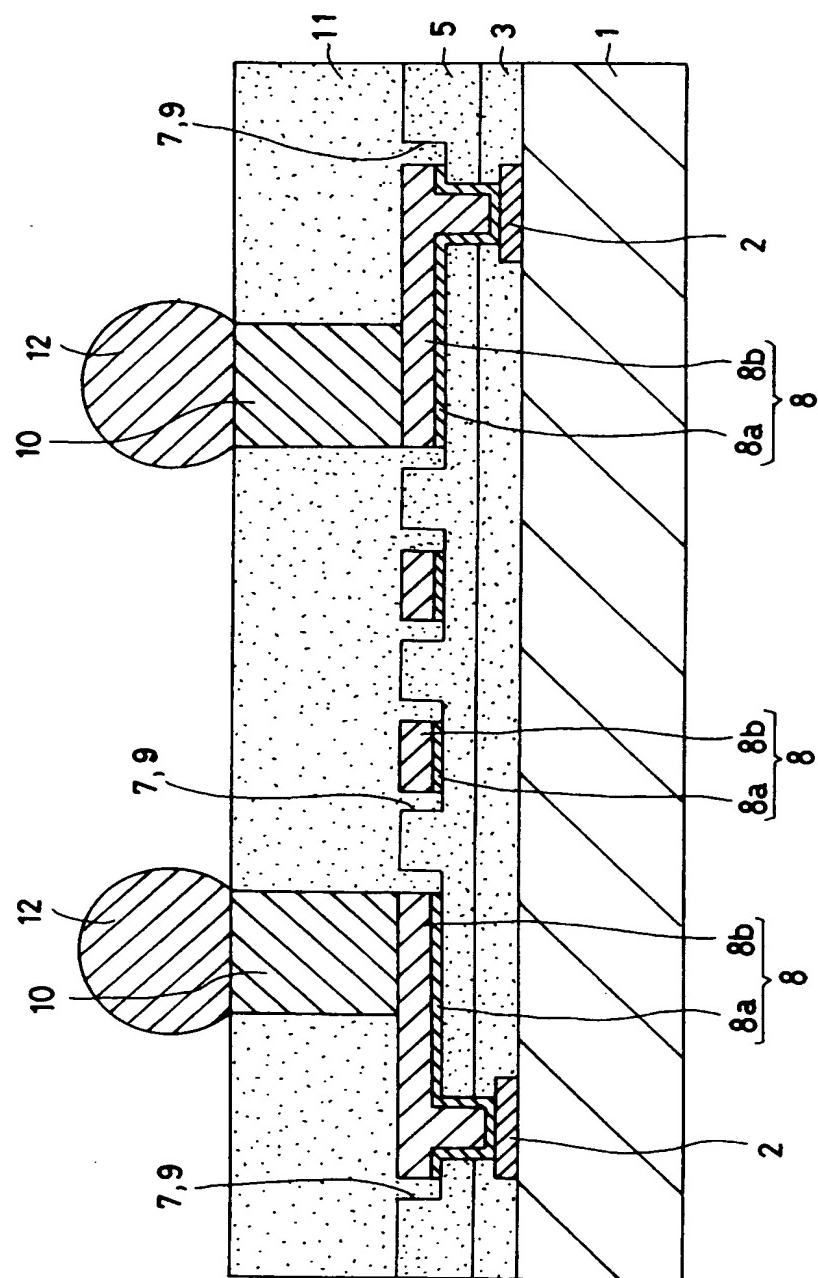
【図11】



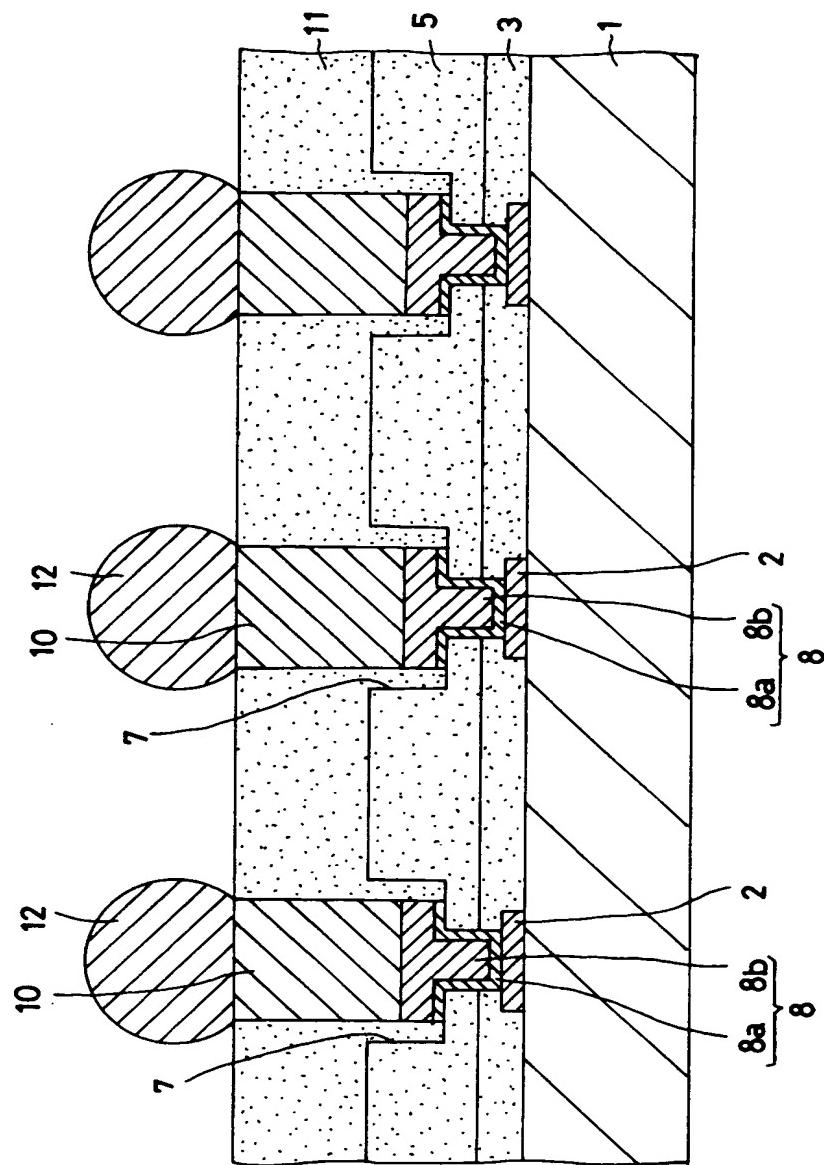
【図12】



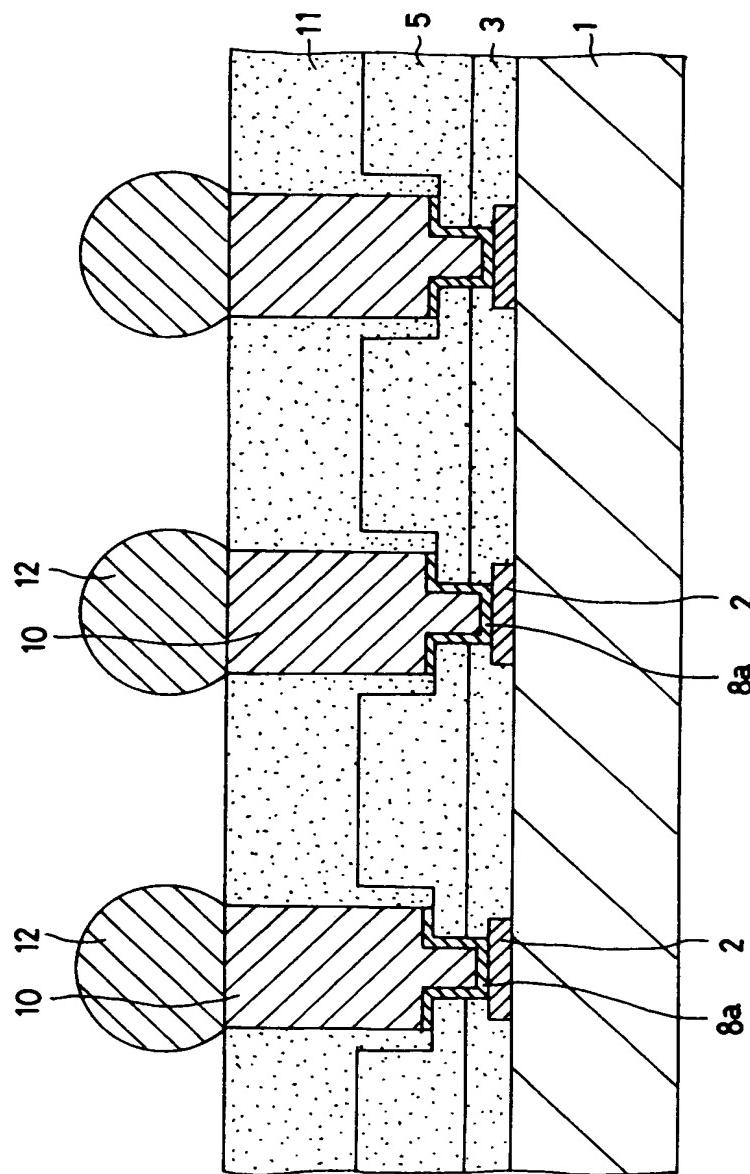
【図13】



【図14】



【図15】



【書類名】 要約書

【要約】

【課題】 C S P と呼ばれる半導体装置において、いわゆるイオンマイグレーションによるショートが発生しにくいようにする。

【解決手段】 酸化シリコンからなる絶縁膜3の上面にはポリイミドからなる保護膜5が設けられている。保護膜5の上面に設けられた凹部7内には銅からなる再配線8が設けられている。この場合、凹部7の深さは再配線8の厚さよりも深くなっている。再配線8の接続パッド部上面には銅からなる柱状電極10が設けられている。再配線8を含む保護膜5の上面にはエポキシ系樹脂からなる封止膜11が設けられている。柱状電極10の上面には半田ボール12が設けられている。そして、柱状電極10の下部を含む再配線8間に再配線8の上面よりも高い保護膜5が存在することにより、いわゆるイオンマイグレーションによるショートが発生しにくくすることができる。

【選択図】 図1

認定・付加情報

特許出願の番号	特願 2002-324973
受付番号	50201689009
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年11月22日

<認定情報・付加情報>

【提出日】	平成14年11月 8日
-------	-------------

次頁無

特願 2002-324973

出願人履歴情報

識別番号 [000001443]

1. 変更年月日 1998年 1月 9日

[変更理由] 住所変更

住 所 東京都渋谷区本町1丁目6番2号
氏 名 カシオ計算機株式会社